

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-16572

⑮ Int.Cl.⁴

H 01 L 29/78
29/52
29/60

識別記号

庁内整理番号

8422-5F

⑬ 公開 昭和62年(1987)1月24日

審査請求 未請求 発明の数 2 (全19頁)

⑭ 発明の名称 縦形半導体装置およびその製造方法

⑰ 特 願 昭60-154241

⑱ 出 願 昭60(1985)7月15日

⑲ 発 明 者 佐々木 芳高 東京都中央区日本橋1丁目13番1号 ティーディーケイ株式会社内

⑳ 出 願 人 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号

㉑ 代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 縦形半導体装置およびその製造方法

2. 特許請求の範囲

1. 主面に溝を有する一導電型の半導体基体と、この半導体基体の主面の溝の上に、第1絶縁膜を介して形成した半導体膜または導電体膜パターンと、このパターンの開口内において、前記半導体基体の主面に、前記第1絶縁膜を介して半導体膜または導電体膜パターンの一部と一部分が重なる位置に形成され、縁部が前記溝の側面によって規制された低不純物濃度の逆導電型の第1半導体層と、この第1半導体層内に、半導体膜または導電体膜パターンの一部と一部分が重なるように形成され、縁部が前記溝の側面によって規制された一導電型の第2半導体層と、前記半導体膜または導電体膜を被覆するように形成され、開口部を有する第2絶縁膜と、この第2絶縁膜上に、その開口部を含むように形成した金属電極膜

とを具備することを特徴とする縦形半導体装置。

2. 前記半導体膜または導電体膜パターンで囲まれた前記第1半導体層の平面形状を、2の整数倍の多角形または円形の拡大部と、隣接する拡大部の間を連結する幅の狭い連結部とを以って構成したことを特徴とする特許請求の範囲1記載の縦形半導体装置。

3. 前記第1半導体層の拡大部を八角形状とし、2個以上の隣接する拡大部の対向する辺間を連結部で連結したことを特徴とする特許請求の範囲2記載の縦形半導体装置。

4. 前記半導体膜または導電体膜パターンは、互いに連続したパターン部分と、パターン開口部内に位置する独立したパターン部分とを有し、これら連続パターン部分と独立パターン部分とを前記金属電極膜を介して相互接続したことを特徴とする特許請求の範囲1、2または3記載の縦形半導体装置。

5. 一導電型の半導体基体の主面に、異方性エッチングにより溝を形成する工程と、

前記半導体基体の主面に第1絶縁膜を形成する工程と、

前記溝の上に位置する第1絶縁膜上に半導体膜または導電体膜パターンを形成する工程と、

この半導体膜または導電体膜パターンをマスクとして逆導電型のイオンを低濃度で注入して、縁部が前記溝の側面によって規制された逆導電型の第1半導体層を形成する工程と、

前記半導体膜または導電体膜パターンをマスクとして一導電型のイオンを注入して前記第1半導体層内に縁部が前記溝の側面により規制された一導電型の第2半導体層を形成する工程と、

前記半導体膜または導電体膜およびその開口を覆うように第2絶縁膜を形成する工程と、

この第2絶縁膜に選択的に開口を形成して前記第1および第2半導体層を部分的に露出させる工程と、

前記第2絶縁膜上に前記開口を覆うように金属電極膜を形成する工程とを具備することを特徴

とする縦形半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はスイッチングあるいは増幅を目的とした縦形半導体装置およびその製造方法に関するものであり、特に微細化および高性能化の技術に関するものである。

(従来の技術)

MIS型半導体装置のうち、特にMOSFETは低耐圧、低電力デバイスと従来考えられていたが、最近の半導体製造技術あるいは回路設計技術等の発展に伴い、高耐圧、大電力設計が可能となり、現在ではパワーデバイスとしてその地位を確保するに至っている。

かかる高耐圧パワーMOSFETの代表的なものとして①オフセットゲート構造、②V-GrooveあるいはU-Groove構造、③DSA(Diffusion Self-Alignment)構造等が知られているが、このうち製造技術、高性能化の点で有利な従来のDSA構造のパワーMOS

FET(以下DSA MOSと称する)の電極形成後の平面図と、この平面図におけるA-A線方向の断面構造図を第9図(a)および(b)に示し、また、その順次の製造工程における断面構造を第10図(a)乃至(f)に示す。ただし、第9図(a)ではソース電極は省いてある。

DSA MOSは二重拡散によりチャンネルを形成するもので、ゲート酸化膜5aを介して形成された格子状のゲート多結晶シリコン膜6に囲まれた同一の拡散窓を介してチャンネル領域を形成するための不純物拡散(p型半導体層4)と、ソース領域を形成するための不純物拡散(n型半導体層8)とを行っているのが特徴である。チャンネル長さはp型半導体層4とn型半導体層8との拡散深さの差で決っているので数ミクロン以下と極めて短く形成できる。絶縁膜5d上に形成したソース電極9はソース領域を形成するn型半導体層8とチャンネル領域を形成するp型半導体層4(あるいはp型半導体層3)との両方にオーミック接触している。ゲート電極形状は格子

状のものとストライプ状のものとが一般的であるが、ここでは格子状のものを示す。n型半導体基板1がドレイン領域であり、その上にn型エピタキシャル成長層2を堆積させたnオンn+構造となっている。ドレイン電極は図示していないがチップ裏面に形成されており、ゲート・ソース間に正の電圧を加えてチャンネルをオンさせると電流は基板1より縦方向に流れ、チャンネル領域4を通過してソース領域8に流れ込む。なお、第9図(a)における破線は各セルを構成する多結晶シリコン膜パターン6の開口の輪郭を示すものである。

次に、第10図(a)乃至(f)を用いて従来のDSA MOSの製造工程を説明する。n型半導体基板1上にn型エピタキシャル成長層2を、例えば比抵抗 $10\sim 25\Omega\text{cm}$ 、厚さ $30\sim 60\mu\text{m}$ に形成後、表面からp型半導体層3を形成する。その後、ゲート酸化膜5aを約1000Åの厚さに形成した様子を第10図(a)に示す。

次に多結晶シリコン膜6を、例えば6000Åの厚

さに堆積した後選択的にパターニングし、この多結晶シリコン膜パターンをマスクにしてイオン注入を施し、チャンネル領域となるp型半導体層4を自己整合的に形成する。この様子を第10図(b)に示す。

続いてフォト・エッチング技術にてフォトレジスト7を用いてソース領域となるn+型半導体層8を形成すべき予定部に選択的に開口を形成した様子を第10図(c)に示す。

次にソース領域となるn型半導体層8および酸化膜5bを形成し(第10図(d)に図示)、その上にCVD法にてPSG(phospho silicate Glass)膜5cを約8000Åの厚さに堆積した様子を第10図(e)に示す。第9図(b)ではこの酸化膜5bとPSG膜5cを合せて第2絶縁膜5dとして示してある。

次に、各種熱処理を施した後に酸化膜5bおよびPSG膜5cに電極取り出し開口部10aを形成し、アルミニウム(Al)電極9を形成することによってソース・ドレイン間耐圧 V_{DSS} が200~

600V程度のDSA MOS FETが完成する。この様子を第10図(f)に示す。

一般的にMOS FETは少数キャリアの蓄積がないため高速スイッチングが可能でドレイン電流が負の温度係数を持つため熱的安定性が高い等大電力用素子として長所を持っている反面、バイポーラ型トランジスタと比較した場合多数キャリア素子であるため高耐圧化と大電力化の相反関係が著しく、高耐圧化に必要な基板抵抗値がそのまま飽和電圧の上昇に結びつき、同一チップ面積ではオン抵抗が大きくなるという欠点があった。かかる問題を解決するためにはFETの電力通路の抵抗、特にドレイン抵抗の低減を図ることが必要である。換言すれば、いかにドレインの面積効率を上げるかということであり、このためには微細加工技術を駆使して最良パターン設計を行わなければならない。これらを満足させる構造として一般的にはDSA MOS FETが採用されている。

しかしながら従来のDSA MOS FETの

パターン設計は必ずしも最適設計とはなっていない。限られたシリコン・チップ面積内に電流通路の幅、つまりチャンネルの周縁長であるチャンネル幅を長くあるいはチャンネル長を短かくとれるような多結晶シリコン膜パターンやチャンネル領域の形状について種々の工夫が必要である。チャンネル幅を長くすることによってドレイン電流を大きくすることが可能で、しかも大電流領域での相互コンダクタンス g_m も大きなものが得られる。これらがひいてはオン抵抗の低減化を可能にする最大の要因であるため、いかにして限られた面積内でチャンネル幅を長くするかが、最大の目標であった。

そこで、従来スイッチング電源等に用いられている高耐圧パワーMOS FETのゲート多結晶シリコンパターンを検討してみると、ほとんどが第9図(a)に示すような四角の格子形状を呈している。

第9図(a)の平面図において、或るセルの多結晶シリコン膜6の開口パターンのエッジから上

下左右に隣接するセルの開口パターンのエッジまでのゲート多結晶シリコン膜の長さを l_1 とし、斜め方向に隣接するセル間での長さを l_2 とすると、 l_2 は l_1 よりも $\sqrt{2}$ 倍長くなっている。定められた面積内にn+型ソース領域8とゲート多結晶シリコン膜6を多く集積するには上記の長さ l_1 と l_2 は等しいことが望ましい。すなわち、チャンネル領域4はゲート多結晶シリコン膜6のパターンエッジに沿って存在するため、大きなチャンネル幅を得るには $l_1 = l_2$ とするのが望ましく、 $l_2 > l_1$ とすると、 $l_2 - l_1$ に相当する余分な面積を多結晶シリコン膜6が占めることになる。このことは、ゲート面積を広くし、スイッチング・スピードの妨げとなるドレイン・ゲート間容量を増大させる原因にもなっている。

また、一般的にチャンネル幅を増大させるために各パターンの微細化をすることがよく知られており、これによりゲート多結晶シリコン膜パターンとソース領域は縮小され、その分チャンネル幅の増大が図れる。しかしながら、従来の四角形の

格子形状を持つゲート多結晶シリコンパターンではドレイン電流容量の割合に対してソース電極開口部が多すぎる傾向にある。微細化によって独立したチャンネル領域を多数形成できるようになり、その結果チャンネル幅が総合的に増大することになるが、1つのセル内でのチャンネル幅は小さくなる。つまり、同一条件でMOSトランジスタとしての動作をさせた場合、チャンネル幅の小さい方が電流容量が小さいにもかかわらず、セル内に形成されているソース領域の電極引き出し開口部は数多く存在することになる。

周知のごとく、MOS FETはバイポーラ型トランジスタと比較して熱暴走が少なく、1セルの領域から得られる電流密度が少なく、従って必要以上のソース電極取り出し開口部は不要である。この不要な分を利用してより多くのチャンネル領域を形成し、チャンネル幅を大きくするようなパターン配置を行わなければならない。したがって、このソース電極取り出し開口部の面積を小さくし、その分チャンネル幅を有効に大きくするためのパ

ターンの工夫が重要となる。

また性能面では特にスイッチング・スピードの向上に関しては、ゲート・ドレイン間の容量を小さくすることが重要である。これを達成するための方法としては、ゲート酸化膜の膜厚を大きくする方法と、ゲート多結晶シリコン膜パターンの占める面積を小さくする方法とが代表的なものである。しかしながら、MOS動作特性の1つであるしきい値電圧 V_{th} や、相互コンダクタンス g_m 等の関係上ゲート酸化膜の膜厚を大きくすることには限界がある。そこで、もう1つの代表的な方法として、ゲート多結晶シリコン膜パターンがゲート酸化膜上に占める面積を小さくする方法が有力である。この方法を最も簡単に実施するにはゲート多結晶シリコン膜パターンを細くすることである。しかしながら細くすると、その分抵抗が増大し、スイッチング・スピードが遅くなる欠点があった。

従来のゲート電極材料の多くは多結晶シリコン膜や、モリブデン膜等の高融点金属膜が用いられ、

これらの材料の特徴として、高温プロセスに強いことから、多層配線材料膜として用いられている。その関係上、大電力用DSA MOS FETでは、代表的なゲート電極材料として、多結晶シリコン膜が用いられ、ソース電極A₂膜との間で絶縁膜を介して2層電極構造となっている。しかもチャンネル幅を長くするため、ゲート多結晶シリコン膜パターンは細く、そして極めて長く設計されている。限られたシリコンチップ内において、チャンネル幅の長さ、ゲート多結晶シリコン膜パターンの配線抵抗の関係は、オン抵抗を低くするために、チャンネル幅を長く設計するとゲート抵抗が増大し、スイッチング・スピードが遅くなるという欠点があった。そのため従来においては、チップ内のチャンネル領域を犠牲にし、導電性の優れたA₂のストライプ・パターンを数カ所設け、これとゲート多結晶シリコン膜を接続して、ゲート抵抗の低減化に努めていた。しかしながら、ゲートA₂電極間は、数百〜数千ミクロンの長さを持つ多結晶シリコンゲートであるため、ゲート抵

抗は依然として高い。

一方、ゲート抵抗を下げる他の方法として、第11図(a)および(b)に示すようにゲート多結晶シリコン膜パターン上に絶縁膜を介してゲートA₂パターンとソースA₂パターンとを互いちがいに配置した櫛形状電極構造がある。

第11図において第9図に示した部分と同じ部分には同じ符号を付けて示す。この櫛形状電極構造を有する半導体装置は、n⁺型半導体基板1上に成長させたn型エピタキシャル層2を有し、その主面に第1絶縁膜5aを介して格子状に開口部を有するようにパターニングされた多結晶シリコン膜6が形成され、この多結晶シリコン膜6の開口内にはp型の第1半導体層2が形成されている。エピタキシャル層2の主面には一部分が第1絶縁膜5aを介して多結晶シリコン膜と重なるようにp型の第2半導体層4が形成され、この第2半導体層内には一部分が第1絶縁膜5aを介して多結晶シリコン膜6と重なるようにn⁺型の第3半導体層8が形成され、多結晶シリコン膜6およびそ

の開口部を被覆するように第2絶縁膜5dが形成されている。この第2絶縁膜上にはストライプ状のソースおよびゲートA&電極9aおよび9bが形成され、ソースA&電極9aは第2絶縁膜5dにあけた開口部10aおよび多結晶シリコン膜6にあけた開口部を介して第1および第3の半導体層3および8とオーミック接続され、ゲートA&電極9bは第2絶縁膜5dにあけた開口部10bを経て多結晶シリコン膜6に接続されている。

(発明が解決しようとする問題点)

第11図に示した従来の極形電極構造を有する半導体装置は、ゲート多結晶シリコン膜6のスルーホールや、A&電極9a、9bの膜厚の等方エッチングによるパターンの後退等を考慮して、ソースA&電極9aとゲートA&電極9bとは一定の距離を開てなければならない。したがってゲート多結晶シリコン膜6のパターン幅を太くしたり、セル面積を大きくしないと、ソースA&電極9aとゲートA&電極9bの電極分離がフォトリソグラフィの関係上極めてむずかしくなり、したがっ

がって、ドレイン電流はチャンネル領域を形成しているp型半導体層4間を流れて流れる。したがってp型半導体層4はゲート多結晶シリコン膜6の両側に互いに対向して形成されているため、p型半導体層が深く形成された場合、上記ドレイン電流の流通路が狭くなり、電流通路が抵抗分を持ち、これがひいてはオン抵抗を増加させる原因にもなる。その他、前記チャンネル領域を形成しているp型半導体層4を深く形成することによって、まずゲート多結晶シリコン膜6と重なる領域が多くなる。周知のごとく、ゲート絶縁膜5aは従来では500Å~1200Åと極く薄く形成されており、したがって、当然のごとく、ゲート・ソース間の容量が増大し、スイッチング・スピードの妨げになることが明らかである。そこでチャンネル領域を形成しているp型半導体層4をできるだけ浅く形成し、それにとまってソースn+型半導体層8も浅く形成することによって、チャンネル長を短くすると、相互コンダクタンス g_m が大きくなり、オン抵抗が低くなり、スイッチング・スピードの

で微細化に限界が生じ、特にゲート・ソース間容量が増大し、これがひいてはスイッチング・スピードの向上を妨げる要因でもあった。一方、ゲート抵抗を下げる最も簡単な方法として、ゲート多結晶シリコン膜6の膜厚を大きくすれば、少し効果はあるが、多結晶シリコン膜パターン上に形成されるソースA&電極9aあるいはゲートA&電極9bが、多結晶シリコン膜6に形成した開口部のエッジで断切れを起し易い欠点がある。

次にスイッチング・スピードを向上させる要因の他のひとつにチャンネル長を狭く形成する方法がある。このチャンネル長は、チャンネル領域のp型半導体層4と、ソースn+型半導体層8の拡散の深さの差で決定される。しかしながら、スイッチング・スピードを考えると次の条件をみたす必要がある。一般的にドレイン電流は、ソースn+型半導体層8からチャンネル領域のp型半導体層4を流れてn型エピタキシャル層2から縦方向へn+型半導体基板1のドレイン領域へ流れ、基板裏面のドレイン電極から取り出される。した

さいDSA MOS FETの実現が可能となる。

しかしながら、前記チャンネル領域を形成しているp型半導体層4を浅く形成し、チャンネル長を狭くすることによって、次のような新たな問題が生ずる。

まず、MOS動作した際、チャンネル領域を形成しているp型半導体層4からドレイン領域のn型エピタキシャル層2側へ空乏層が広がる。それと同時に、p型半導体層4内にも空乏層が広がる。この空乏層は半導体層又は拡散層の濃度が低いほど広がり易く、又、ドレイン電圧が高いほど広がる。したがって当然のごとく、濃度の低いドレイン領域のn型エピタキシャル層2側へ空乏層は多く広がる。しかしながら、DSA構造を持つMOS型FETの場合、チャンネル領域4はセル部分において互いに対向して形成されているため、両方から空乏層が互いに接近するように広がり、ちょうどゲート多結晶シリコン膜6の真中付近のドレイン領域でぶつかり合うため、ソース・ドレイン間のブレークダウン電圧を大きく得るための

妨げとはならない。一方p型半導体層4側では、ドレイン電圧をどんどん高くして行くことによって、チャンネル領域を形成しているp型半導体層4内の空乏層はどんどん広がり、ソースn+型半導体層8へ届いてしまう。これがいわゆるパンチスルー現象である。この時点ですでにソース・ドレイン間の電圧はブレイクダウンしてしまう。つまりチャンネル長が狭いため空乏層がn+型半導体層8へすぐに到達してしまうのでバルクの特性で決まるブレイクダウン電圧よりも小さな値でブレイクダウンしてしまう。特にチャンネル幅を長く得るためゲート多結晶シリコン膜パターンを微細化しなければならず、それにともなうチャンネルを構成するp型半導体層4は浅い拡散によって形成する必要がある。当然ゲート多結晶シリコン膜パターン間には、細くて長いパターンが形成されることになるため、パンチスルー現象はこのような部分に生じやすい。

又、パンチスルー現象を生じにくくする一方法として、従来のDSA MOS FETでは、セ

ル幅が減少する欠点もある。又、p+型半導体層3は、フォトリソグラフィ技術で位置合せして形成する関係上、フォトエッチング工程が多くなり、ひいては生産性向上の妨げとなる。

さらに、チップの面積利用効率を向上し、長いチャンネル幅を得るために、ゲート多結晶シリコン膜の開口パターンを面積の大きい2個以上の拡大部と、隣接する拡大部を連結する幅の狭い連結部とを持って構成することを本発明者は提案している。このような半導体装置においては、連結部のエッジに沿って細長くチャンネル領域が形成されるのでチャンネル幅を長くすることができるが、この細長いチャンネル領域で特にパンチスルーが生じ易い欠点がある。

本発明は上記した点に鑑みてなされたもので、ゲート多結晶シリコンパターンの幅を極力等しくし、全体的なパターンの微細化がおこなわれても、電流容量にしたがって最適なソース電極取り出し開口部が得られるように、さらにはソース電極取り出し開口部において特に自己整合的に形成され

ル内にp+型半導体層3を、フォトエッチング技術によって形成していた。しかしながらこの方法においては、次のような欠点が生じて来る。まず、フォトリソグラフィ技術で、p+型半導体層3に対して位置合せをおこなって、ゲート多結晶シリコン膜6のパターンを形成するため、ゲート多結晶シリコン膜6のパターンによって自己整合的に形成されるチャンネル領域のp型半導体層4と、自己整合的に形成されないp+型半導体層3の位置関係が不正確となり、n+型半導体層8によって狭められるp型半導体層(チャンネル領域)4の長い部分と短い部分が上記n+型半導体層8の下に形成される。この場合、狭いp型半導体層4が長く形成されている部分ではパンチスルーが起こりやすく、逆に短い部分は高濃度p+型半導体層3の一部がチャンネルp型半導体層4まで及びMOS型トランジスタの特性で、しきい値電圧の値に影響を及ぼす。又、前記位置合せをする際、合せ誤差を見込んでパターンを形成しなければならないため、セル面積が増加し、その分チャネ

ル幅が減少する欠点もある。又、p+型半導体層3は、フォトリソグラフィ技術で位置合せして形成する関係上、フォトエッチング工程が多くなり、ひいては生産性向上の妨げとなる。

(問題点を解決するための手段)

本発明による縦形半導体装置は、主面に溝を有する一導電型の半導体基体と、この半導体基体の主面の溝の上に、第1絶縁膜を介して形成した半導体膜または導電体膜パターンと、このパターンの開口内において、前記半導体基体の主面に、前記第1絶縁膜を介して半導体膜または導電体膜パ

ターンの一部と一部分が重なる位置に形成され、縁部が前記溝の側面によって規制された低不純物濃度の逆導電型の第1半導体層と、この第1半導体層内に、半導体膜または導電体膜パターンの一部と一部分が重なるように形成され、縁部が前記溝の側面によって規制された一導電型の第2半導体層と、前記半導体膜または導電体膜を被覆するように形成され、開口部を有する第2絶縁膜と、この第2絶縁膜上に、その開口部を含むように形成した金属電極膜とを具えることを特徴とするものである。

さらに本発明の製造方法は、一導電型の半導体基体の主面に、異方性エッチングにより溝を形成する工程と、

前記半導体基体の主面に第1絶縁膜を形成する工程と、

前記溝の上に位置する第1絶縁膜上に半導体膜または導電体膜パターンを形成する工程と、

この半導体膜または導電体膜パターンをマスクとして逆導電型のイオンを低濃度で注入して、縁

部が前記溝の側面によって規制された逆導電型の第1半導体層を形成する工程と、

前記半導体膜または導電体膜パターンをマスクとして一導電型のイオンを注入して前記第1半導体層内に縁部が前記溝の側面により規制された一導電型の第2半導体層を形成する工程と、

前記半導体膜または導電体膜およびその開口を覆うように第2絶縁膜を形成する工程と、

この第2絶縁膜に選択的に開口を形成して前記第1および第2半導体層を部分的に露出させる工程と、

前記第2絶縁膜上に前記開口を覆うように金属電極膜を形成する工程とを具えることを特徴とするものである。

(作用)

本発明の半導体装置においては、逆導電型の第3半導体層は、第2半導体層よりも高不純物濃度でしかもより深く形成されているため、セルの微細化、高集積化が可能であるとともにパンチスルー現象も有効に防止することができる。また、第

2半導体層および第4半導体層を浅く形成することによってゲート・ソース間の容量を減少することができるとともに相互コンダクタンス g_m を大きくすることができ、スイッチング・スピードを向上することができる。さらに、本発明の半導体装置においては、所定のチップ面積内でチャンネル幅を大きくすることができるとともに多結晶シリコン膜の占める面積を減らすことによってゲート・ドレイン間容量を小さくすることができる。したがって大きなドレイン電流を得ることができると同時に速いスイッチング・スピードを得ることができる。また、特に後述する実施例のように多結晶シリコン膜パターンの開口部を、独立パターン部分を囲む環状部分と、この環状部分の両側に対称的に位置する端部分と、これら環状部分と端部分とを連結する幅の狭い連結部分とを持って構成し、このような開口部を複数隣接する開口部の端部分がインターディジタルに配置されるように配列することによってチップ面積の利用効率は著しく高くなり、上述した効果がより一層効果的

に発揮されることになる。

(実施例)

以下本発明を実施例により具体的に説明する。

第1図(a)および(b)は本発明の一実施例であるDSA MOS FETの平面図および断面図であり、第1図(a)ではAl電極膜および絶縁膜の一部を切欠いてある。

この装置は、 n^+ 型半導体基板1上に n 型エピタキシャル成長層2が設けられ、このエピタキシャル層2の主面にはほぼU字状の溝が形成され、この溝の表面に絶縁酸化膜(第1絶縁膜)5aを介して多結晶シリコン膜(半導体膜または導電体膜)パターン6が設けられ、このパターンの開口内のエピタキシャル層2中には逆導電型の不純物を高濃度でドーピングした p 型半導体層3が設けられている。さらにエピタキシャル層2中には、前記第1絶縁膜5aを介して前記多結晶シリコン膜パターン6の一部と部分的に重なる位置に逆導電型の不純物を低い濃度でドーピングした p 型の半導体層(第1半導体層)4が深く設けられ、該第1半導体層

4の表面であって前記第1絶縁膜5aを介して前記導電体膜パターン6の一部と部分的に重なる位置にn+型半導体層(第2半導体層)8が形成され、前記多結晶シリコン膜パターン6を被覆するように絶縁酸化膜(第2絶縁膜)5dが形成され、この絶縁膜上にはソースA₂電極膜9が形成されている。ソースA₂電極膜9は、絶縁膜5dに形成したセル内のソース電極取り出し開口部10aを経て半導体層4および8にオーミック接続されている。

多結晶シリコン膜パターン6で囲まれるとともにn型エピタキシャル層2の表面に形成されたp型半導体層4のパターン、すなわち、多結晶シリコン膜6の開口パターンの平面形状は、第1図(a)に示すように八角形状の拡大部4A、4B、4Cと、これら3つの八角形パターンの相隣り合う一辺同志を結ぶ幅の狭い連結部4D、4Eによって連続的に形成されている。ここで、水平および垂直方向に隣接するセルの多結晶シリコン膜6の縁部6Aの各辺間の距離 ℓ_1 と、斜め方向に隣

接するセルの各辺間の距離 ℓ_2 とは $\ell_1 \neq \ell_2$ となっている。また、セルは水平方向に隣接するセルの互いに対向する両端に位置する八角形状の拡大部4Aと4Cとの中間に垂直方向に隣接するセルの中央の八角形状の拡大部4Bが位置するように $\frac{1}{2}$ ピッチだけずらして配置してある。

本実施例の縦形電界効果トランジスタにおいては、性能向上を図るためにゲート多結晶シリコン膜パターンに工夫をこらし、チャンネル幅を長くし、単位面積当りの電流容量を増すことによって性能向上を図っている。このことを従来装置との寸法関係の比較に於いて説明する。

従来例である第9図(a)の平面図と第1図(a)の平面図の倍率は同一のデザインルールを採用しており、破線で囲まれた所定面積内の縦の長さ Y_L を $120\mu\text{m}$ とし、横の長さ X_L を $160\mu\text{m}$ として設定しておく。

第9図(a)では $3 \times 4 = 12$ 個のソース電極取り出し開口部10aが存在し、1個のセルの一辺の長さ L_0 ($=L_0'$)は $20\mu\text{m}$ となっているか

らセル1個のチャンネル幅(1セルの全周囲長)は $80\mu\text{m}$ となり、この破線枠内の合計チャンネル幅は $960\mu\text{m}$ となっている。

これに対し、第1図(a)では八角形の端部4A、4B、4Cの直線辺の長さ L_0 は $10\mu\text{m}$ 、 45° 傾斜している辺 L_0' ($=\sqrt{2}/2 L_0$)の長さは約 $7\mu\text{m}$ であり、連結部4D、4Eの1辺の長さ L_0 は $20\mu\text{m}$ となるので、1個のセルのチャンネル幅は約 $244\mu\text{m}$ となり、破線内のパターン面積での合計チャンネル幅は約 $1132\mu\text{m}$ となる。このように本実施例のチャンネル幅は従来ものに比較して大きくなり、かつその差はセル数が増加する程、あるいはパターン面積が大きいほど大きくなる。

このように本実施例によれば大幅にチャンネル幅を大きくできる。この理由としては、斜線を有効的に用いることによって第9図(a)の平面図における $\ell_1 < \ell_2$ の関係を第1図(a)では $\ell_1 \neq \ell_2$ にしたためである。従って、セル同志を $\frac{1}{2}$ ピッチずつ交互にずらして配列することによ

って同じデザインルールにも拘わらず全体的に中央部へセルパターン配列を集積することができるわけであり、その分従来のものより多くのセルの集積が可能となる。

次に微細化を進めた場合、特にセルとゲート多結晶シリコン膜パターンを縮小化した場合、従来の半導体装置では数ミクロンの間隔でソース電極取り出し開口部が必要であった。つまりソース電極取り出し開口部は、デザインルールに束縛されてしまう欠点を持っていた。これに対し、本実施例では、ソース電極取り出し開口部の間隔を任意に設計可能であり、しかもチャンネル幅は減少しない長所がある。

以上のことから、本実施例では、定められたチップ面積内でチャンネル幅を大きくできるように適切なゲート多結晶シリコン膜パターンが得られ、このゲート多結晶シリコン膜パターンの開口部に相当するセルを適切に配置することによって大きなドレイン電流を得ることが可能となり、しかも大電流領域での相互コンダクタンス g_m を大きく

し、スイッチング・スピードの高速化、あるいはオン抵抗の低減化、さらには、チップ面積の縮小化を図り、生産性向上を可能とする最適パターンを施したものである。

本発明においては、セルパターンの開口部に形成したチャンネル領域を構成するp型半導体層4およびその内部に形成したソース領域を構成するn+型半導体層8の縁部4aおよび8aは、エピタキシャル層2の表面に形成したほぼU字状の溝の側壁で規制されるため、p型半導体層4を深く形成してもこれらの縁部4aおよび8aの間隔で決まるチャンネル長を短くすることができる。このようにチャンネル長が短くなるため、相互コンダクタンス g_m が大きくなり、オン抵抗が低くなり、速いスイッチング・スピードが得られるとともにp型半導体層4を深く形成することができるためパンチスルー現象を防止することができる。

また、チャンネル領域となるp型半導体層4と、ソースn+型半導体層8とは浅い接合(Shallow Junction)を構成しているためチャンネル領域

を高濃度でドーブしたp+型半導体層3が設けられている。また、多結晶シリコン膜パターン6の開口部には、前記第1絶縁膜5aを介して前記多結晶シリコン膜パターン6の一部と部分的に重なる位置に逆導電型であるp型の半導体層(第1半導体層)4が設けられ、このp型半導体層4の表面であって前記第1絶縁膜5aを介して前記半導体膜または導電体膜パターン6の一部と部分的に重なる位置にn+型半導体層(第2半導体層)8が形成され、前記多結晶シリコン膜パターン6を被覆するように絶縁酸化膜(第2絶縁膜)5dが形成され、この絶縁膜上には第1のソースA<math>\mu</math>電極膜9aと第2ゲートA<math>\mu</math>電極膜9bとがストライプ状に形成されている。ソースA<math>\mu</math>電極膜9aは、絶縁膜5dに形成したセル内のソース電極取り出し開口部10aを経てp+型およびn+型半導体層3および8にオーミック接続され、第2A<math>\mu</math>電極膜9bは、絶縁膜5dに形成したゲート金属電極取り出し開口部10cを経て後述するように多結晶シリコン膜パターン6に接続されている。

とチャンネル領域間のドレイン電流の流通路(n型エピタキシャル層2)は広がり、その分ゲート多結晶シリコン膜パターン幅の縮小が可能である。したがって特にチャンネル幅を長く形成するために、ゲート多結晶シリコン膜パターンの開口部(セル)を細く、長いパターン配列として細長いチャンネル領域を形成するのが好適であり、このような細長いチャンネル領域でのパンチスルー現象も有効に防止できる。

第2図(a)、(b)および(c)は本発明のさらに他の実施例であるDSA MOS FETの平面図、および斜視断面図であり、第2図(a)ではA<math>\mu</math>電極膜を切欠いてあり、第2図(c)ではA<math>\mu</math>電極膜と第2絶縁膜を切欠いてある。

この装置は、n+型半導体基板1上にn型エピタキシャル成長層2が設けられ、このエピタキシャル層2の主面にほぼU字状の溝を形成し、この溝の表面に絶縁酸化膜5aを介して多結晶シリコン膜パターン6が設けられ、このパターンの開口内のエピタキシャル層2中には逆導電型の不純物

多結晶シリコン膜パターン6は格子状に連続する部分6aと、独立した島状の部分6bとより成り、これらの部分によって画成されるセルの平面形状は、独立部分6bを囲む環状部分12Aと、この環状部分に対して対称的に形成した2個の端部分12Bおよび12Cと、環状部分とこれら端部分とを連結する連結部分12Dおよび12Eとから構成されている。端部分12Bおよび12Cの輪郭形状は2の整数倍の多角形、本例では4角形とし、環状部分12Aの輪郭形状も2の整数倍の多角形、本例では4角形とする。これら端部分および環状部分の形状は4角形に限定されるものではなく、たとえば8角形とすることもできるし、円形とすることもできる。

本例では、第5図(a)に示すように、環状部分12Aが整列するように複数のセルを配列するとともに成る列の環状部分12Aと隣接する列の環状部分12Aとは互に $\frac{1}{2}$ ピッチずらし、成る列の順次の端部分12Bおよび12Cの間に隣接する列の順次の端部分12Cおよび12Bが入り込むようにイン

ターデジタルに配列する。この場合、或る端部分12Bに注目した場合、これと隣接する端部分12C、連結部分12Eおよび環状部分12Aまでの距離はすべてほぼ等しくなるように構成する。

ゲートA₂電極を構成する第2A₂電極膜9bは絶縁膜5dに於けたゲート電極取り出し開口部10bを経て多結晶シリコンパターンの島状の独立部分6bに接続されているとともに隣接する独立部分との中間位置において第2絶縁膜5dに於けた開口部10cを経て多結晶シリコン膜パターンの連続部分6aに接続されている。すなわち、多結晶シリコン膜パターンの連続部分6aと独立部分6bとは第2A₂電極膜9bを介して相互接続されている。このように、本例では第1A₂電極膜9aと第2A₂電極膜9bとは十数〜二十数ミクロンの間隔をもって交互にストライプ状に配列されており、ソースA₂電極を構成する第1A₂電極膜9aの幅はゲートA₂電極を構成する第2A₂電極膜9bよりも広がっている。

上述したように、本実施例では多結晶シリコン

本例においても、p型半導体層4およびn⁺型半導体層8の縁部4aおよび8aはゲート多結晶シリコン膜6を形成した溝の側面で規制されているため、チャンネル長を短くすることができ、しかもp型半導体層4を深く形成できるためパンチスルーを有効に防止することができる。

次に第3図(a)〜(d)を参照して本発明の半導体装置の一実施例であるDSA MOS FETを製造する本発明の製造方法について説明する。

まず、n型不純物を高い濃度に含むn⁺型半導体基板1上にそれよりも低い濃度のn型半導体層2を形成し、このn型半導体層の主面に例えば厚さ3000Å程度の酸化膜5eを形成した様子を第3図(a)に示す。続いて、この酸化膜5eをマスクとして、例えばヒドラジンまたはKOH等を主成分とするアルカリエッチャントによってn型半導体層2を約1.0μmの深さに異方性エッチングして溝を形成する。さらに酸化膜5eを除去した後、新たにゲート酸化膜5aを約1000Åの厚さに

膜パターン6を、メッシュ状の連続部分6aと、島状に独立した部分6bとをもって構成することによりチャンネル幅を前述した実施例よりもさらに長くすることができる。すなわち、ゲート電極構造は、連続したメッシュ状の部分と、これによって囲まれる独立した部分を複数個配置し、これらの部分を導電性に優れた第2のA₂電極膜9bで接続した構成としている。一方、ソース電極構造は、セル内部の端部分12B、12Cにおいて、チャンネル領域を構成するp型半導体層4に電気的に接しているp⁺型半導体層3と、ソース領域を構成するn⁺型半導体層8とを表面で露出させて第1A₂電極膜9aと接続した構成としている。そしてこれらの第1および第2のA₂電極膜9aおよび9bは樹状に交互に配置している。このように、ゲート多結晶シリコンパターンを連続したメッシュ構造と、独立したマルチ構造とすることによって、ソース電極とゲート電極を導電性の優れたA₂等の金属膜で樹状に構成していることが本実施例の最大の特徴である。

形成する。次にゲート電極用としてノンドープの多結晶シリコン膜6をたとえば厚さ6000Å程形成し、フォトレジストを用いたフォトリソグラフィ技術によって選択的にパターニングして前記の溝の上に形成された多結晶シリコン膜のみを残し、他を除去した様子を第3図(b)に示す。

続いてフォトレジスト7を酸素プラズマにて除去した後、多結晶シリコン膜6をマスクとしてチャンネル領域を構成するp型半導体層4を形成し、ソース領域を構成するn⁺型半導体層8を選択的に形成した様子を第3図(c)に示す。この場合、p型半導体層4およびn⁺型半導体層8の縁部4aおよび8aは、n⁺型半導体層2の表面に形成したU字状の溝の側面で規制されているため、p型半導体層4を深く形成しても、縁部4aと8aの間隔で決まるチャンネル長は短くできる。

その後、CVD法にてCVD-SiO₂膜またはPSG膜5cを約5000Å程度形成した後、熱処理を施し、各領域の電極取り出し開口部10aおよび10bを形成した後、たとえば厚さ約3.5μm程

度のAl金属膜9aおよび9bを選択的に形成して半導体装置を完成した様子を第3図(d)に示す。

本実施例においては第1図および第2図に示すp⁺型半導体層3を形成していないが、このp⁺型半導体層を形成することもできる。この場合、p⁺型半導体層3は、溝を形成する以前に形成すればよい。

第4図は、本発明によるさらに他の実施例であり、第4図(a)は平面図、(b)はA-A線で切った断面図であり、第4図(a)ではAl電極膜の全部を除去して示してある。ゲート多結晶シリコン膜パターン幅を一定にするため、セル形状に斜線を用い、多くのセルを集積することによって、チャンネル幅を長く工夫をしている。そのため、単位面積当りのパターン面積において、最もチャンネル幅の長い構造である。本実施例において前例と同じ部分には同じ符号を付けて示す。本例では多結晶シリコン膜パターンの連結部分6aによって囲まれるセルの平面形状をほぼ八角形の

環状部分12Aと、その両側に対象的に配置した同じくほぼ八角形の端部分12B、12Cと、環状部分とこれら端部分とを連結する幅の狭い連結部分12D、12Eから構成されている点が第2図に示した実施例と相違しているだけであり、その他の構成は同様であるので、これ以上説明はしない。

第5図～第7図は本発明の半導体装置のさらに他の実施例における多結晶シリコン膜パターン6で囲まれたp型半導体層4のパターンの平面形状を示すものである。第5図に示す実施例では、八角形状の端部4Fおよび4Gの間を幅の狭い連結部4Hで連結したものを1/2ピッチずつずらして配置してある。また、第6図に示す実施例では六角形状の端部4Iおよび4Jの間を幅の狭い連結部4Kで連結したものを1/2ピッチずつずらして配置している。さらに、第7図に示す実施例では四角形状の端部4Lおよび4Mの間を幅の狭い連結部4Nで連結したものを1/2ピッチずつずらして配置している。これら、第5～7図に示す実施例においても、自己整合的に形成されるp型半導体層4

とn⁺型半導体層8の縁部は溝の側面によって規制されているのでp型半導体層4を深く形成してもチャンネル長を短くすることができるとともにパンチ・スルー現象を防止することができる。

本発明は上述した実施例に限定されるものではなく、幾多の変更や変形を加えることができる。

例えば上述した実施例ではn型半導体層を、アルカリエッチャントであるKOHにて異方性エッチングしてほぼU字状の溝を形成したが、本発明はこのようなU字状の溝に限定されるものではなく、例えば間隔を狭ばめてV字状の溝としてもよい。あるいはまた、第8図に示すように四塩化炭素と酸素ガスによるリアクティブ・イオン・エッチングによって垂直な側壁を有する溝を形成することもできる。なお、第8図に示す実施例の他の部分の構成は第3図(d)に示したものと同じであり、同一部分には同じ符号を付けて示す。第8図に示す実施例においてもp型半導体層4および

n⁺型半導体層8の縁部4aおよび8aは溝の側面によって規制されているため、p型半導体層

4を深く形成してもチャンネル長は短くなる。また、p型半導体層4が深く形成されているためパンチ・スルー現象を有効に防止することができる。

また、第3図に示す実施例において、溝を形成する前または溝を形成した後に不純物を高濃度にドーピングしてp⁺型半導体層3(第1図)を形成することもできる。

また、上述した実施例ではゲート電極材料を多結晶シリコンとしたがこれに限られるものではなく、Mo、Ni、Ti、Cr等の高融点金属や、モリブデンシリサイド、ニッケルシリサイド、白金シリサイド等の高融点金属でもよい。また、p型半導体層とn型半導体層の導電型は反対としてもよい。さらに、上述した例では縦形電解効果トランジスタのうち、特にDSA MOS型半導体装置としたが、これに限定されるものではなく、ゲート多結晶シリコン膜パターンをエミッタ、セルパターンをベースとするかまたはこの逆にゲート多結晶シリコン膜パターンをベース、セルパターンをエミッタとするバイポーラ型半導体装置に

応用することでもできる。さらに上述した実施例ではパワートランジスタとしたが、高周波トランジスタやパワースイッチングトランジスタとすることもできる。特に高耐圧トランジスタにおいては、フィールド・リミッティング・リングを本発明によって形成可能であるから、D S A - F E T の他に S I T (静電誘導トランジスタ) にも適用可能である。

(発明の効果)

以上のごとく、本発明によれば、半導体基体に溝を形成し、この溝の側面によって第1および第2半導体層の縁部を規制した構造としたため、第1半導体層を深く形成しても横方向には拡がらず、チャンネル長を短くすることができるとともにパンチ・スルー現象を阻止することができる。

このようにチャンネル長を短くすることができることから相互コンダクタンス g_m が大きく、これがひいてはスイッチング・スピードの向上を可能とし、高耐圧素子で、スイッチング・スピードが速く、しかもオン抵抗の低い大電力 MOS 型ト

ランジスタを生産性の優れた製造方法にて提供できる。

また、多結晶シリコン膜パターンを上述したように構成すればチャンネル幅を長くすることができ、電流容量に応じた最適なソース電極取出し開口部が得られる効果もある。

4. 図面の簡単な説明

第1図 (a) および (b) は本発明による縦形半導体装置の一実施例の構成を示す平面図および断面図、

第2図 (a) , (b) および (c) は本発明の縦形半導体装置の他の実施例の構成を示す平面図断面図および斜視断面図、

第3図 (a) ~ (d) は本発明による縦形半導体装置の製造方法の一実施例の順次の製造工程における構成を示した断面図、

第4図 (a) および (b) は同じくそのさらに他の実施例の構成を示す平面図および断面図、

第5図~第7図はセルパターンの変形例を示す平面図、

第8図は本発明による縦形半導体装置のさらに他の実施例の構成を示す断面図、

第9図 (a) および (b) は従来の縦形電界効果トランジスタの構成を示す平面図および断面図、

第10図 (a) ~ (f) は同じくその順次の製造工程における構成を示す断面図、

第11図 (a) および (b) は従来の縦形電界効果トランジスタの他の例の構成を示す平面図および断面図である。

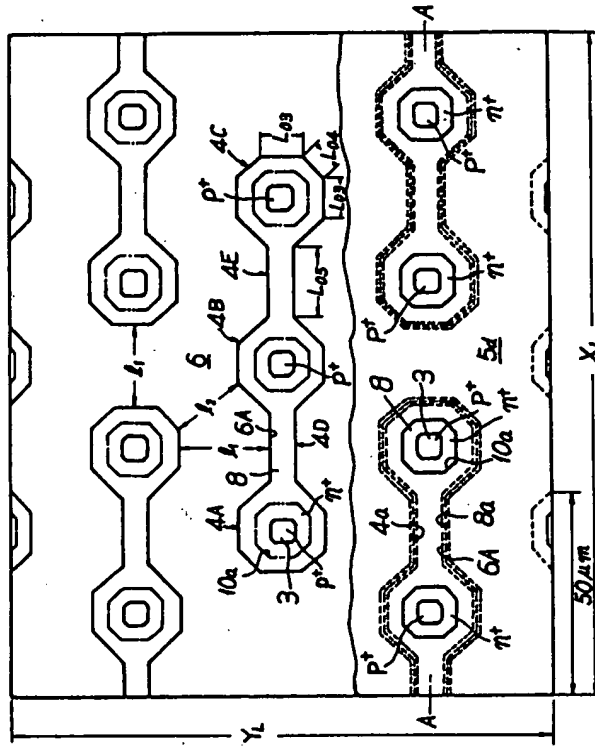
- 1... n + 型半導体基板
- 2... n 型エピタキシャル層
- 3... p + 型半導体層
- 4... p 型半導体層 (第1半導体層)
- 5a... 第1絶縁膜 5d... 第2絶縁膜
- 6... 多結晶シリコン膜 6a... 連続部分
- 6b... 独立部分
- 4a , 8a , 6A ... 縁部
- 8... n + 型半導体層 (第2半導体層)
- 9a... 第1A₂電極膜 9b... 第2A₂電極膜
- 10a , 10b , 10c ... 開口部

- 12A ... 環状部分 12B , 12C ... 端部分
- 12D , 12E ... 連結部分
- 4A ~ 4C , 4F , 4G , 4I , 4J , 4L ,
- 4M ... 拡大部
- 4D , 4E , 4H , 4K , 4N ... 連結部

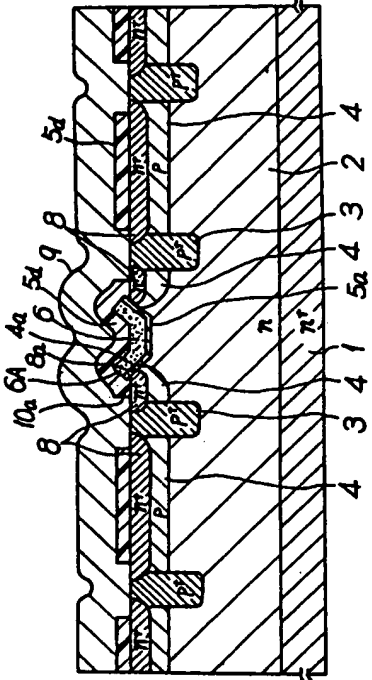
図面の浄書(内容に変更なし)

第1図

(訂正図)



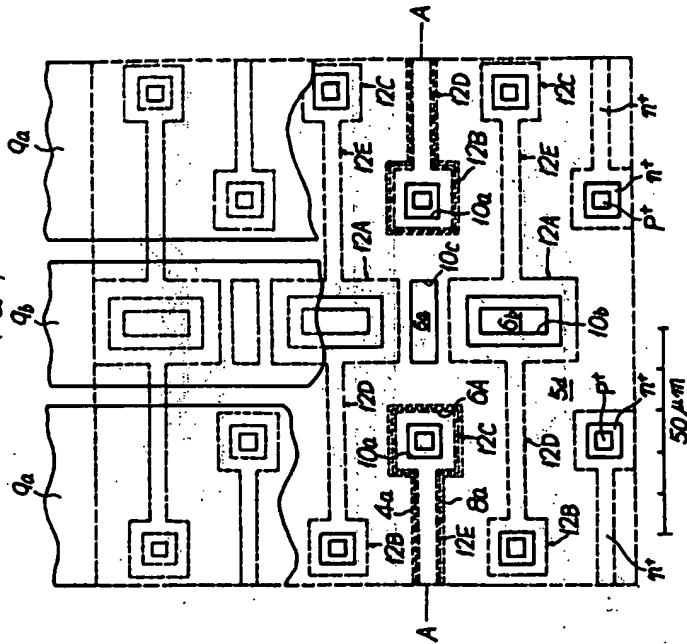
(b)



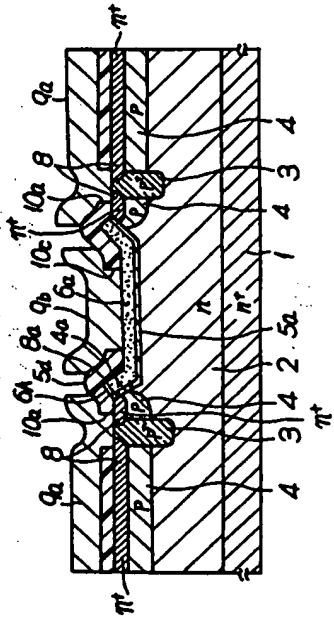
図面の浄書(内容に変更なし)

第2図

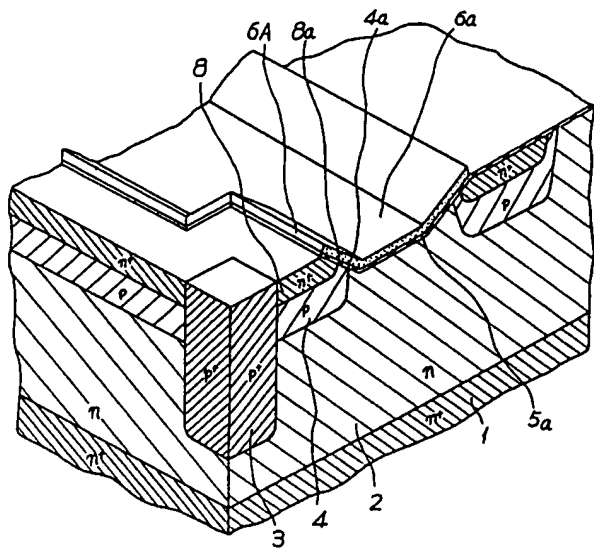
(訂正図)



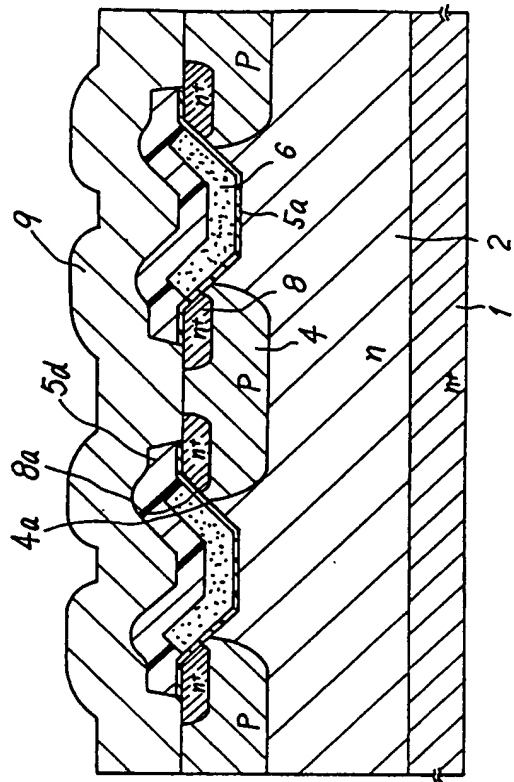
(b)



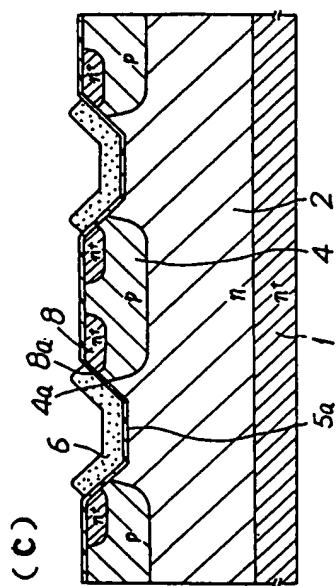
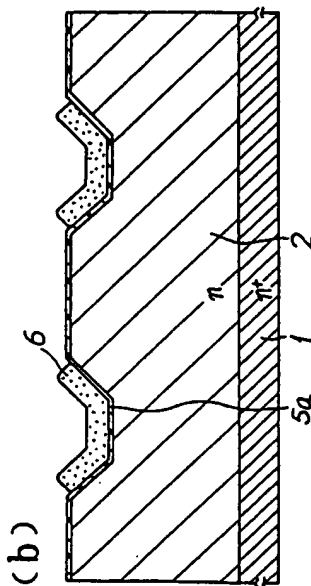
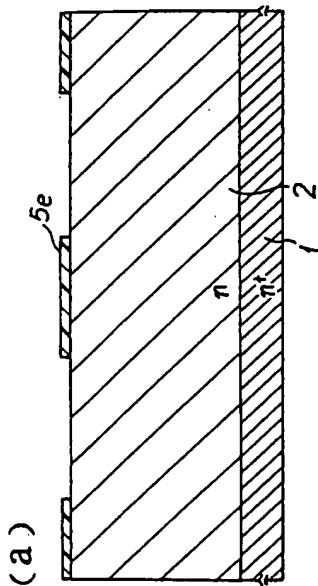
第2図
(c)



第3図
(d)



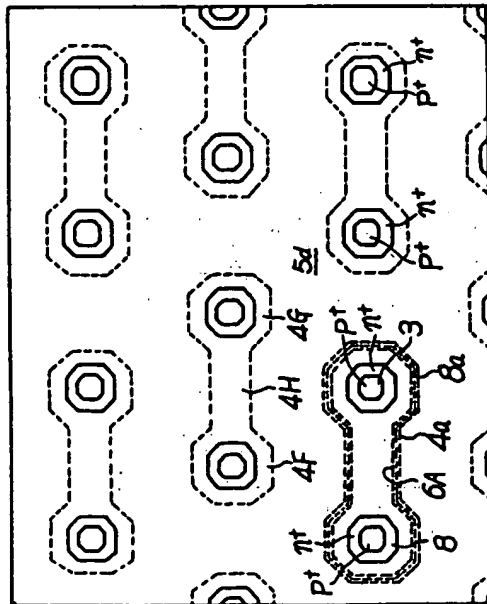
第3図



図面の浄書(内容に変更なし)

第5図

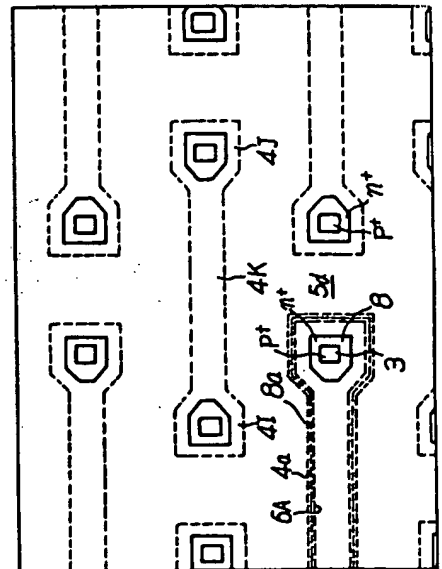
(訂正図)



図面の浄書(内容に変更なし)

第6図

(訂正図)

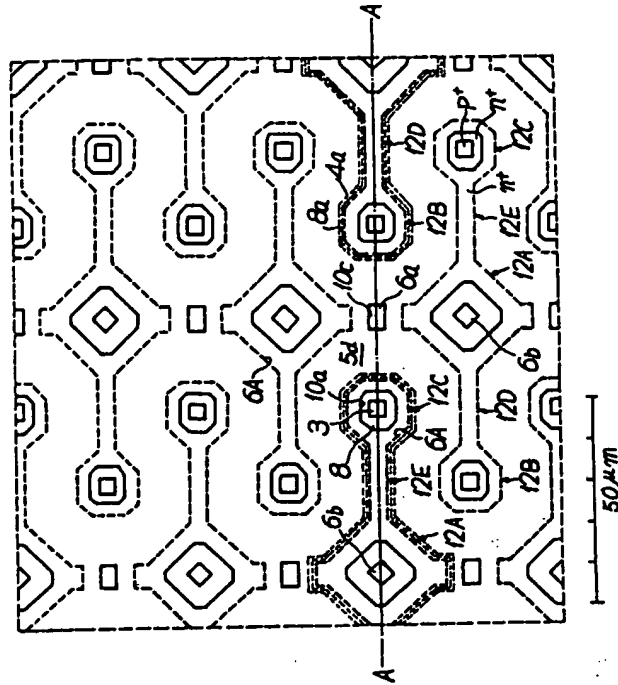


図面の浄書(内容に変更なし)

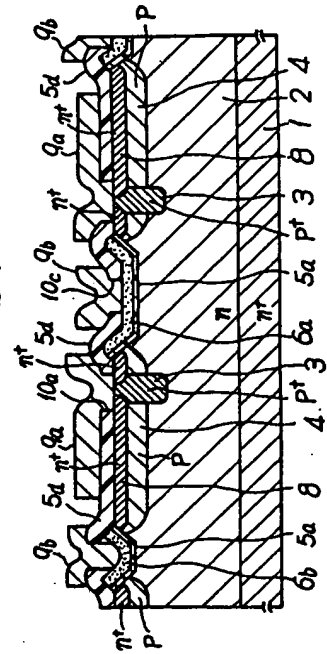
第4図

(訂正図)

(a)



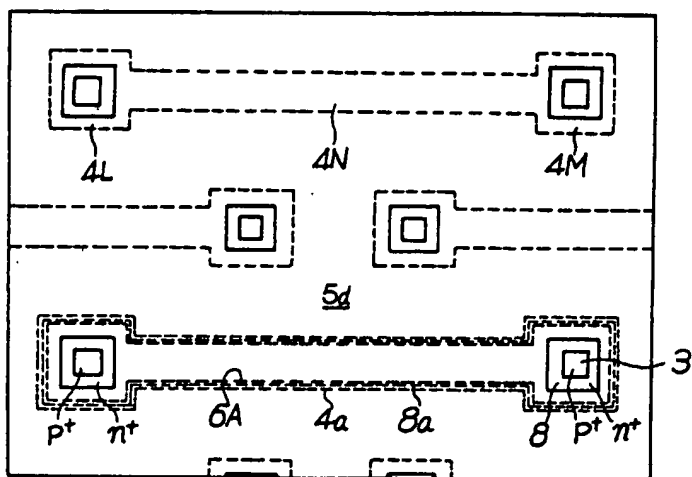
(b)



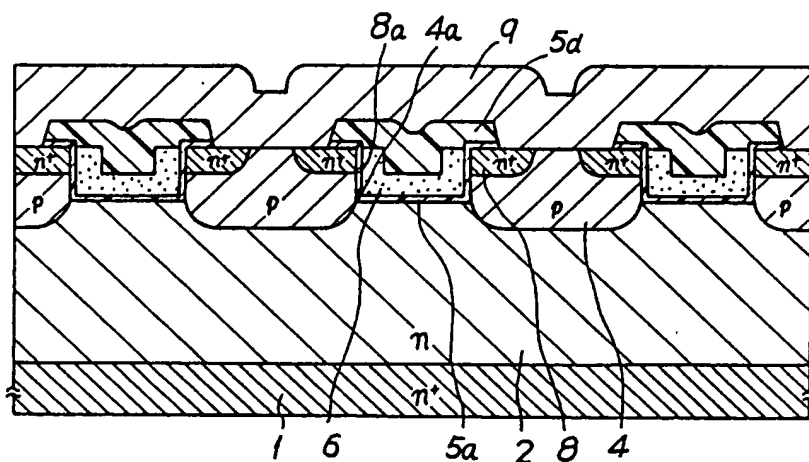
図面の浄番(内容に変更なし)

第 7 図

(訂正図)



第 8 図

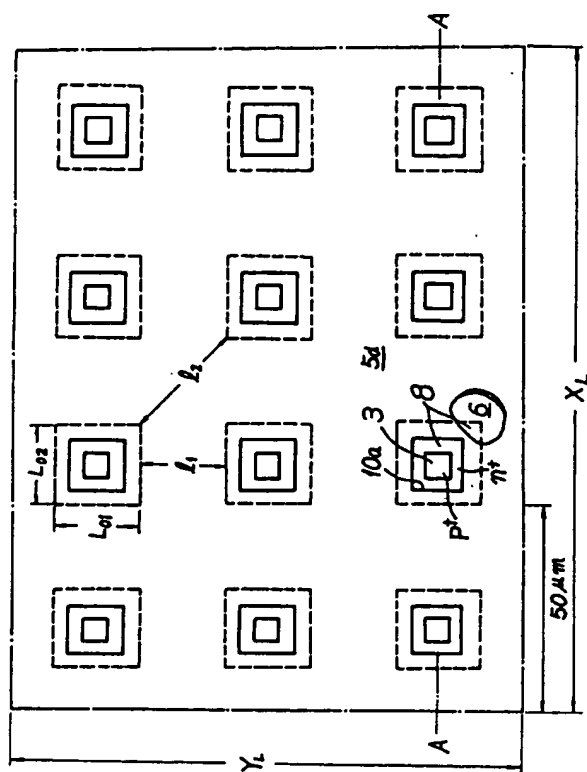


図面の浄書(内容に変更なし)

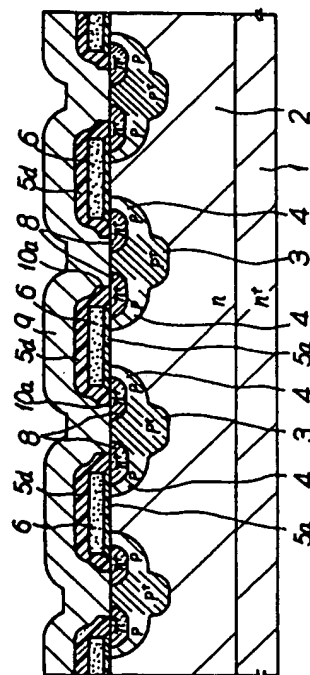
第9図

(訂正図)

(a)

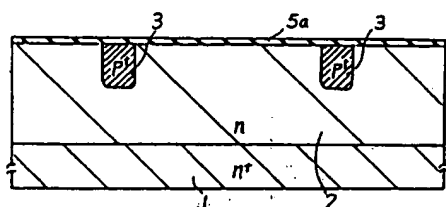


(b)

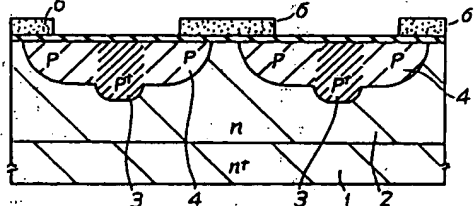


第10図

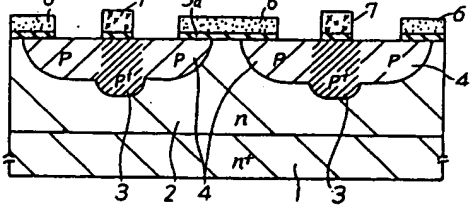
(a)



(b)

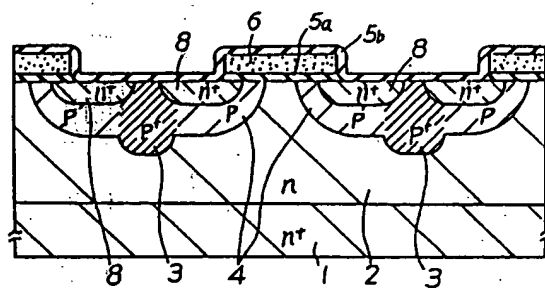


(c)

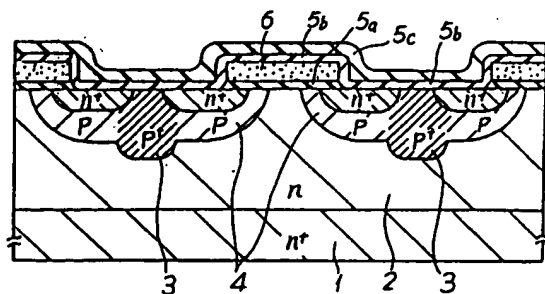


第10図

(d)

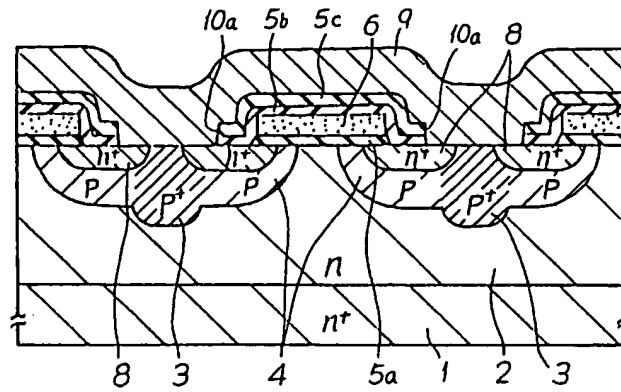


(e)



第 10 図

(f)

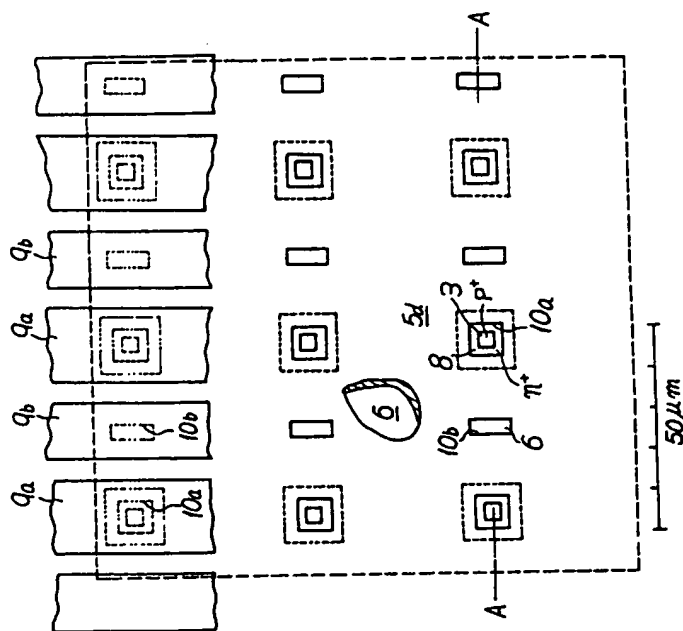


図面の浄書(内容に変更なし)

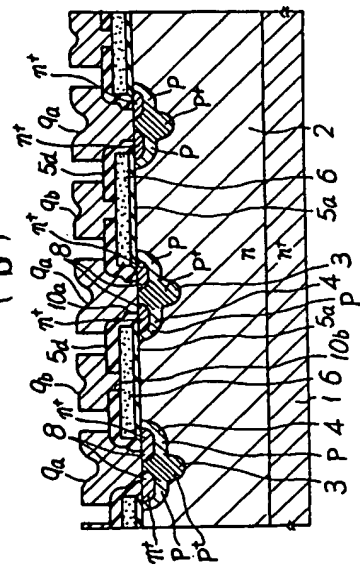
第 11 圖

(訂正図)

(a)



(b)



手 続 補 正 書 (方式)

昭和 60 年 11 月 12 日

特許庁 長官 審判官 審査官 字 賀 道 郎 殿

1. 事件の表示

昭和 60 年 特 許 願 第 154241 号

2. 発明の名称

縦形半導体装置およびその製造方法

3. 補正をする者

事件との関係 特許出願人

ティーディーケー株式会社

4. 代理人 〒100 東京都千代田区霞が関三丁目2番4号
霞山ビルディング7階
電話 (581) 2241 番 (代表)

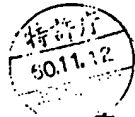
(5925) 弁理士 杉 村 暁 秀
外 1 名

5. 補正命令の日付

昭和 60 年 10 月 29 日

6. 補正の対象 図面

7. 補正の内容 (別紙の通り)



方式
審査



MENU

SEARCH

INDEX

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **62-016572**
(43)Date of publication of
application : **24.01.1987**

(51)Int.Cl. **H01L 29/78**
H01L 29/52
H01L 29/60

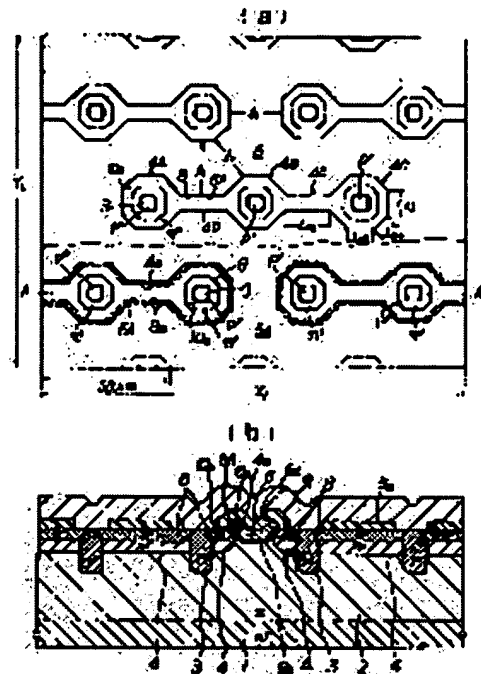
(21)Application number :	60-154241	(71) Applicant :	TDK CORP
(22)Date of filing :	15.07.1985	(72)Inventor :	SASAKI YOSHITAKA

(54) VERTICAL TYPE SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To prevent an extension in the lateral direction of a first semiconductor layer even when the first semiconductor layer is formed deeply, and to shorten channel length while obviating a punch-through phenomenon by shaping a groove to a semiconductor base body and regulating the edge sections of first and second semiconductor layers by the side surface of the groove.

CONSTITUTION: The plane shape of an opening pattern for a polycrystalline silicon film 6 is formed continuously by octagonal extension sections 4A~4C and connecting sections 4D, 4E in narrow width mutually tying adjacent one sides in these three octagonal patterns. $l_1=l_2$ holds in a distance l_1 between several side of the edge sections 6A of the polycrystalline silicon films 6 in adjacent cells in the horizontal and vertical directions and a distance l_2 between respective side of adjacent cells in the oblique direction at that time. Accordingly, the arrangement of cell patterns can be integrated to a central section as a whole in spite of the same design rule by mutually displacing and disposing the cells alternately at every half pitch, thus integrating the cells more than conventional devices.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office